

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-074878
 (43)Date of publication of application : 29.03.1991

(51)Int.Cl. H01L 29/784

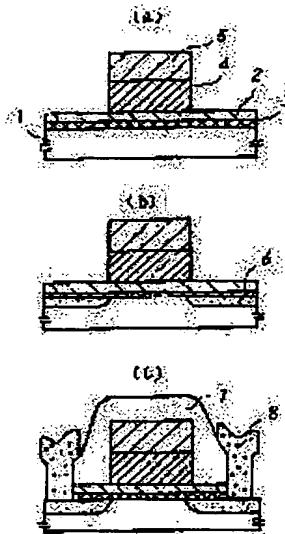
(21)Application number : 01-210071 (71)Applicant : HITACHI LTD
 (22)Date of filing : 16.08.1989 (72)Inventor : JINRIKI HIROSHI
 NAKADA MASAYUKI
 MUKAI KIICHIRO

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain an IGFET using a transition metal oxide film especially for a gate insulation film by penetrating the gate insulation film without performing light oxidation and by implanting ion.

CONSTITUTION: An SiO₂ is provided on the surface of a p-type Si substrate 1 for implanting a channel of BF₂. The SiO₂ film is eliminated and a tantalum pentoxide 2 is sputtered. Treatment is performed within dry O₂ at 800° C and an SiO₂ film 3 is formed between the substrate 1 and the tantalum pentoxide 2. Then, a W film 4 is sputtered and a PSG 5 is superposed. The PSG 5 is subjected to patterning and the W film 4 is machined with the PSG 5 as a mask. Then, As ion is implanted, thermal treatment is performed within N₂ for producing an n⁺ layer 6, and a drain layer is provided in self-aligned manner to a W gate pattern. Further, an interlayer insulation film 7 is superposed and a wiring metal film 8 is provided for completing an FET. With this method, it is possible to form an IGFET without performing light oxidation even if a material with an extremely rapid diffusion of an oxidation seed such as tantalum pentoxide is used as a gate insulation film.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A) 平3-74878

⑬ Int. Cl. 5
H 01 L 29/784

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月29日

8728-5F H 01 L 29/78 301 G

審査請求 未請求 請求項の数 9 (全11頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-210071

⑯ 出 願 平1(1989)8月16日

⑰ 発明者 神 力 博

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発明者 中 田 昌 之

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発明者 向 喜 一 郎

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 出願人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑯ 代理人 弁理士 小川 勝男

外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 第一導電型の半導体基板に設けた第二導電型の二つの領域でソース領域、ドレイン領域を構成し、ゲート絶縁膜として少なくとも酸化タンタル、酸化ニオビウム、酸化イットリウム、酸化ハフニウム、酸化ジルコニウム、酸化チタニウムのいずれか、もしくは積層膜、もしくはその混合物からなるゲート絶縁膜と該ゲート絶縁膜を介して設けたゲート電極よりなる絶縁ゲート型電界効果トランジスタの製造方法において、該ゲート絶縁膜上の該ゲート電極を加工した後、該半導体基板表面に露出した該ゲート絶縁膜を貫通してイオン打ち込みを行い第二導電型の少なくともソース領域、ドレイン領域のいずれかを形成したことを特徴とする絶縁ゲート型電界効果トランジスタ及びその製造方法。

2. 特許請求の範囲第1項の半導体装置の製造方

法において、該イオン打ち込みを行い第二導電型の領域を形成した後、該ゲート絶縁膜上に、ゲート電極の側面を覆うように側壁絶縁膜を形成し、更に、第一の絶縁膜を堆積し、該第一の絶縁膜を貫通してイオン打ち込みを行い、該半導体基板上に該ソース、ドレイン領域となる該第二導電型の領域よりも高濃度の第二の第二導電型の領域を形成したことを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

3. 第一導電型の半導体基板に設けた第二導電型の二つの領域でソース領域、ドレイン領域を構成し、ゲート絶縁膜として少なくとも酸化タンタル、酸化ニオビウム、酸化イットリウム、酸化ハフニウム、酸化ジルコニウム、酸化チタニウムのいずれか、もしくはその積層膜もしくはその混合物からなるゲート絶縁膜と該ゲート絶縁膜を介して設けたゲート電極よりなる絶縁ゲート型電界効果トランジスタの製造方法において、該ゲート絶縁膜上の該ゲート電極を加工した後、該ゲート絶縁膜上にあり、ゲート電極の

側面を覆うように側壁絶縁膜を形成し、更に、第一の絶縁膜を堆積し、該第一の絶縁膜を貫通してイオン打ち込みを行い、該半導体基体上に第一の第二導電型の領域を形成し、さらに、該側壁絶縁膜を覆うように第二の側壁絶縁膜を形成して、第二の絶縁膜を堆積し、該第二の絶縁膜を貫通してイオン打ち込みを行い、該半導体基体上に該第一の第二導電型の領域よりも高濃度の第二の第二導電型の領域を形成し、少なくともソース領域、ドレイン領域のいずれかを形成したことを特徴とする絶縁ゲート型電界効果トランジスタおよびその製造方法。

4. 第一導電型の半導体基板に設けた第二導電型の二つの領域でソース領域、ドレイン領域を構成し、ゲート絶縁膜として少なくとも酸化タンタル、酸化ニオビウム、酸化イットリウム、酸化ハフニウム、酸化ジルコニウム、酸化チタニウムのいずれか、もしくはその積層膜もしくはその混合物からなるゲート絶縁膜と該ゲート絶縁膜を介して設けたゲート電極よりなる絶縁ゲ

ジスタおよびその製造方法。

6. 所定の半導体基板上に設けた少なくともソース領域、ドレイン領域、および上記半導体基板上の所定領域に少なくも酸化タンタル、酸化ニオビウム、酸化イットリウム、酸化ハフニウム、酸化ジルコニウム、酸化チタニウムのいずれか、もしくはその混合物を含むゲート絶縁膜とゲート絶縁膜を介して設けたゲート電極よりなる電界効果トランジスタの製造方法において、該ゲート電極と該ゲート絶縁膜を加工した後、第一の絶縁膜を堆積し、異方性エッチングを行ないゲート電極の側壁に絶縁膜を形成し、該基体を酸化性雰囲気にて熱処理して基体表面を酸化した後、該半導体基体の反対導電型の不純物を注入して該ソース、ドレイン領域を形成したことを特徴とする半導体装置の製造方法。

7. 特許請求の範囲第6項の半導体装置の製造方法において、該ゲート電極と該ゲート絶縁膜を加工した後、第一の絶縁膜を堆積し、該第一の絶縁膜を貫通して該半導体基体の反対導電型の

ト型電界効果トランジスタの製造方法において、該ゲート絶縁膜上の該ゲート電極を加工した後、該半導体基体表面に露出した該ゲート絶縁膜を貫通してイオン打ち込みを行い第一の第二導電型の領域を形成した後、該ゲート絶縁膜上にあり、ゲート電極の側面を覆うように側壁絶縁膜を形成し、更に、第二の絶縁膜を堆積し、該第二の絶縁膜を貫通してイオン打ち込みを行い、該半導体基体上に該第一の第二導電型の領域よりも高濃度の第二の第二導電型の領域を形成し、少なくともソース領域、ドレイン領域のいずれかを形成したことを特徴とする絶縁ゲート型電界効果トランジスタおよびその製造方法。

5. 該ゲート絶縁膜が酸化タンタル、酸化ニオビウム、酸化イットリウム、酸化ハフニウム、酸化ジルコニウム、酸化チタニウムのいずれか、もしくはその積層膜もしくはその混合物と、二酸化シリコンとの積層膜であることを特徴とする特許請求の範囲第1項、第2項、第3項もしくは第4項記載の絶縁ゲート型電界効果トラン

ジスタおよびその製造方法。

8. 前記特許請求の範囲第6項の半導体装置の製造方法において、該ゲート電極と該ゲート絶縁膜を加工した後、第一の絶縁膜を堆積し、該絶縁膜を貫通して該基板に低濃度不純物領域を形成した後、さらに側壁に第二の絶縁膜を形成し、該基体を酸化性雰囲気にて熱処理して基体表面を酸化した後、該半導体基体の反対導電型の不純物を注入して該ソース、ドレイン領域を形成したことを特徴とする半導体装置の製造方法。

9. 前記特許請求の範囲第6項、第7項もしくは第8項の半導体装置の製造方法において、該ゲート電極を酸化タンタル、酸化ニオビウム、酸化イットリウム、酸化ハフニウム、酸化ジルコニウム、酸化チタニウムのいずれか、もしくはその混合物と、二酸化シリコンの混合物であることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置およびその製造方法に関するもので、特にゲート絶縁膜に遷移金属酸化膜を用いた電界効果型トランジスタおよびその製造方法に関するものである。

〔従来の技術〕

遷移金属酸化膜をゲート絶縁膜に用いた電界効果トランジスタを製造する際に、従来技術においては、ゲート電極とゲート絶縁膜を加工した後、直ちに基板あるいは多結晶シリコンゲート表面を酸化することが行なわれてきた。

〔発明が解決しようとする課題〕

しかし、ゲート絶縁膜に五酸化タンタルなどの酸化種の拡散が著しく速い材料を適用した場合には、図3(a), (b)に示すように該酸化時にゲート端のゲート絶縁膜が露出している部分より酸化種が内側に向かつて拡散してゆき、その両側の半導体基板やゲート電極を酸化して該ゲート領域の端部に楔形の酸化を生じさせる。この現象は酸化雰囲気中に水蒸気を含む場合に著しい。その結果、該楔形の酸化の生じた部分の電界効果トランジスタのチャンネル領域は反転電圧が大きくなり、しきい電圧が大きくなるといった問題が生じる。

トランジスタのチャンネル領域は反転電圧が大きくなり、しきい電圧が大きくなるといった問題が生じる。この現象は図3(c)に示す様に、ゲートの側壁に側壁酸化膜を形成した場合においても、完全に抑えるのは難しい。

また、ゲート電極の加工時に同時にゲート絶縁膜である遷移金属酸化物を加工した場合には、加工エッジを介してリーク電流が流れやすいことがわかつた。また、第4図のように、該酸化時にゲート端のゲート絶縁膜が露出している部分より酸化種が内側に向かつて拡散してゆき、その両側の半導体基板やゲート電極を酸化して該ゲート領域の端部に楔形の酸化を生じさせる。この現象は酸化雰囲気中に水蒸気を含む場合に著しい。その結果、該楔形の酸化の生じた部分の電界効果トランジスタのチャンネル領域は反転電圧が大きくなり、しきい電圧が大きくなるといった問題が生じる。

〔課題を解決するための手段〕

この問題を解決するため、いわゆるライト酸化を行なわずにゲート絶縁膜を貫通させてインプラ

を行なうか、あるいは、側壁を形成後に別の絶縁膜を堆積させて、この堆積膜を貫通させてインプラを行なうのが妥当である。この場合、いずれのプロセスにおいても、ゲート電極とゲート絶縁膜の加工端は一致することはない様にする。

また、上記問題を解決するため、前出の酸化の際にゲート絶縁膜が露出しないように側壁を該絶縁膜よりも酸化種の拡散が遅い絶縁膜を堆積した後、酸化を行なう。

〔作用〕

ゲート絶縁膜をゲート加工時の際に残すことにより、ライト酸化は不要になる。また、側壁を形成した場合にはインプラ用の堆積膜を形成することによりライト酸化は不要になる。また、加工端のリーク電流はゲート絶縁膜スルーフの場合には、ゲート絶縁膜は残るので問題ない。また、側壁を形成した場合には、側壁加工時に同時にゲート絶縁膜を加工するので、ゲート構造はオフセット型となりリーク電流の増加を抑えることができる。

また、ゲート絶縁膜酸化種の拡散がゲート絶縁

膜より遅い絶縁膜で覆つておくことにより、酸化性雰囲気に曝された際に、該絶縁膜に達する酸化種の濃度が低下するため、楔形の酸化が進行しにくくなる。

〔実施例〕

〔実施例1〕

本発明の半導体装置の製造方法の一実施例を断面構造を用いて図1に示す。

P型シリコン基板1の表面に10nmの二酸化シリコンを形成した後、40kev、 2.0×10^{12} cm⁻²のBF₃のチャネルインプラを行なう。この後、この二酸化シリコン膜を除去して、ゲート絶縁膜として20nmの五酸化タンタル膜2を反応性スパッタ法で形成する。本実施例では五酸化タンタルの形成を反応性スパッタを用いたがタンタルアルコオキレートあるいは塩化タンタル弗化タンタルなどのタンタルハロゲン化物をソースガスとする化学気相堆積法によつても形成できる。その後、800°C乾燥酸素雰囲気で熱処理を行なう。この後、シリコン基板1と五酸化タンタル2の間に約

2 nmのSiO₂膜3が生じている。その上に300 nmのタングステン膜4をスパッターにより形成した。さらに、タングステン4上に、PSG膜5を形成した。この後、ゲート電極のバーニングを行いPSGを加工した後、PSGをマスクとしてタングステンを加工して、図1(a)に示す断面形状を得る。次に、40 keVで $5.0 \times 10^{15} \text{ cm}^{-2}$ の砒素イオン注入と900°C窒素雰囲気での熱処理を行ないn型高濃度拡散層6を形成し、ソース及びドレイン領域とした(b)。タングステンゲートパターンにたいして自己整合的に形成することができた。

さらに層間絶縁膜7を形成、コンタクト孔の開口、配線金属膜8の形成をおこない電界効果型トランジスタを製造した(c)。

図2は本実施例で得られたデバイスのしきい値(V_{th})電圧のシフト量と伝導コンダクタンスの劣化 $\Delta G_m / G_m$ のストレス電圧印加時間依存性を、従来の二酸化シリコン5 nmをゲート絶縁膜とするチャネル長0.3 μmのMOSFETと比較

したものである。酸化タンタルと二酸化シリコンの積層膜を用いた場合にはいずれも一桁以上変動量を小さく抑えることができた。この結果、チャネル長が0.3 μm以下のデバイスにおいて本発明を用いたデバイスの特性は極めて優れた信頼性を得られることができた。

(実施例2)

第5図に実施例2の概略図を示す。

p型シリコン基板1の表面に10 nmの二酸化シリコンを形成した後、40 keV、 $2.0 \times 10^{15} \text{ cm}^{-2}$ のBF₂のチャネルインプラを行う。この後、この二酸化シリコン膜を除去して、この表面にゲート絶縁膜として20 nmの五酸化タンタル膜2を反応性スパッタ法で形成する。本実施例では五酸化タンタルの形成を反応性スパッタを用いたがタンタルアルコオキレートあるいは塩化タンタルや沸化タンタルなどのタンタルハロゲン化物をソースガスとする化学気層堆積法によつても形成できる。その後、800°C乾燥酸素雰囲気で熱処理を行なう。この後、シリコン基板1と五酸化タン

タル2の間に約2 nmのSiO₂膜3が生じている。その上に300 nmのタングステン膜4をスパッターにより形成した。さらに、タングステン4上に、PSG膜5を形成した。この後ゲート電極のバーニングを行いPSGを加工した後、PSGをマスクとしてタングステンを加工して、図5(a)に示す断面形状を得る。次に、PSG膜を堆積して、全面エッチを行い側壁9を残す(図4(b))。この際、PSG膜の加工時に酸化タンタル2/二酸化シリコン3の積層膜を同時に加工する。次に、二酸化シリコン膜10を堆積して、40 keVで $5.0 \times 10^{15} \text{ cm}^{-2}$ の砒素イオン注入と900°C窒素雰囲気での熱処理を行ないn型高濃度拡散層6を形成し、ソース及びドレイン領域とした(図5(c))。さらに層間絶縁膜7を形成、コンタクト孔の開口、配線金属膜8の形成をおこない電界効果型トランジスタを製造した(図5(d))。本実施例で得られたデバイスのしきい値(V_{th})電圧のシフト量と伝導コンダクタンスの劣化 $\Delta G_m / G_m$ のストレス電圧印加時間

依存性を、従来の二酸化シリコン5 nmをゲート絶縁膜とするチャネル長0.3 μmのMOSFETと比較すると、実施例1と同様に、酸化タンタルと二酸化シリコンの積層膜を用いた場合の方が、いずれも一桁以上変動量を小さく抑えることができ、優れた信頼性を有するデバイスであることがわかつた。

(実施例3)

前述の実施例1、2において示した製造方法を2段階で行うことにより、LDD(lightly doped drain)構造のMOSトランジスタを製造できる。

第6図に実施例3の概略図を示す。

実施例1に示すプロセスにより図6(a)に示す断面構造を得る。ここで、第一の拡散層11は $2.0 \times 10^{15} \text{ cm}^{-2}$ の砒素イオンをゲートパターンについてセルフアラインで打ち込んでいる。次に、実施例2に示す方法により、ゲート電極の側面部に側壁絶縁膜12を形成する。この際、酸化タンタル2/二酸化シリコン3の積層膜を同時に加工する。次に、PSG膜13を堆積して、 $5.0 \times$

$1.0 \times 10^{18} \text{ cm}^{-2}$ で砒素イオン注入を行ない第二段階の拡散層14を形成した。

この際、第一段階の拡散層形成のためのイオン打ち込み量、第二段階のイオン打ち込み量はLDD (Lightly Doped Drain)として十分な特性が得られるよう設定してある。

(実施例4)

実施例3と同様に、LDD構造のMOSFETを形成するには、実施例2に示す方法を二段階で行うことによっても製造することができる。この製造プロセスを図7に示す。実施例2に示す製造方法により、図7(a)に示す断面形状を得る。n型拡散層16はPSG膜15を貫通させて $2.0 \times 1.0 \times 10^{18} \text{ cm}^{-2}$ の砒素イオンをゲートパターンについてセルファーラインで打ち込んでいる。更に、PSG膜を堆積して全面エンシーニングを行うことにより、第2の側壁絶縁膜17を形成する。更に、PSG膜18を堆積した後、 $5.0 \times 1.0 \times 10^{18} \text{ cm}^{-2}$ で砒素イオン注入を行う。このイオン打ち込み量は第一段階の打ち込みよりも濃度が高く設定されている。

コン24を化学気層堆積法で形成し焼处理を行ない焼を多結晶シリコンにドープさせゲート電極とした。そして、該多結晶シリコン24と五酸化タンタル23を加工しゲートバタンを形成した。多結晶シリコン24はSF₆ガスを用いたマイクロ波プラズマエンシーニング、五酸化タンタル23はCH₂F₂ガスを用いた反応性スパッタエンシーニングで加工を行なつた。その後、第一の絶縁膜として、二酸化シリコン膜25を化学気層堆積法で 100 nm 表面に形成した。第一の絶縁膜を形成した該基板を異方性ドライエンシーニングを行ない該絶縁膜25をゲート側面を残して除去する。この構造で該シリコン基板21を酸化するとゲート絶縁膜は側面に形成された絶縁膜によって覆われているのでゲート端部の楔形の異常酸化は生じない。

その後、砒素イオン注入と 950°C 窒素雰囲気での熱処理を行ないn型高濃度拡散層27を形成し、ソース及びドレイン領域とした。イオン注入は80kevの加速電圧で行ない、多結晶シリコンバタンにたいして自己整合的に形成することが

ので、LDD構造のMOSFETを形成することができる。また、 800°C の熱処理を行うことにより、拡散層プロファイルを7図(c)のように最適化した。

(実施例5)

第8図に実施例5の概略図を示す。

p型シリコン基板21上に素子分離領域22を形成した後、基板表面にゲート絶縁膜として 10 nm の五酸化タンタル膜23を反応性スパッタ法で形成する。本実施例では五酸化タンタルの形成を反応性スパッタを用いたがタンタルアルコオキシートあるいは塩化タンタルや沸化タンタルなどのタンタルハロゲン化物をソースガスとする化学気層堆積法によつても形成できる。その後、 800°C 乾燥酸素雰囲気で熱処理を行ないシリコン基板21と五酸化タンタル23の間に約 5 nm の界面酸化膜23'を形成した。その上に多結晶シリコンと五酸化タンタル23の反応を防止するために二酸化シリコン膜 10 nm 23'を化学気層堆積法で形成した。その上に 300 nm の多結晶シリ

できた。

さらに層間絶縁膜30を形成、コンタクト孔の開口、配線金属膜31の形成をおこない電界効果型トランジスタを製造した。

その結果、電界効果型トランジスタのしきい電圧は、 1.0 V となり、他の電気的特性も良好であつた。

(実施例6)

第9図に実施例2の概略図を示す。

第5図の実施例において、側壁絶縁膜形成と基板の酸化を化学気層堆積法による絶縁膜の形成に置き換えることができる。即ち、ゲート形成後、基板表面に化学気層堆積法によつて 30 nm の二酸化シリコン膜25を全面に堆積し、イオン注入を行なうことによつて、第一の実施例と同様に拡散層を形成できる。

(実施例7)

前述の実施例5においてゲート側壁形成工程を二回行なうことにより、LDD (lightly doped drain)構造を達成できる。

第10図に実施例7の概略図を示す。

すなわち、ゲートを加工した後、第一の二酸化シリコン29を堆積し異方性ドライエッチングを行ないゲートの側面を残して除去する。そして、シリコン基板21を熱酸化した後、第一のイオン注入を行ない第一段階の拡散層211を形成する。あるいは実施例2のように堆積した二酸化シリコン膜を貫通してイオン注入を行なつてもよい。

さらに二酸化シリコン膜の堆積と異方性ドライエッチングをもう一度行ないゲート側面に第二の側壁二酸化シリコン210を形成し、シリコン基板21を酸化した後、イオン注入を行ない第二段階の拡散層212を形成する。この際、第一段階の拡散層211を第二段階の拡散層212より濃度を低くすることにより、LDD構造を形成することができた。

(実施例8)

第5の実施例において、ゲートをタングステンに代えた場合の例を示す。第11図にその概略を示す。

絶縁膜を形成した該基板を異方性ドライエッチングを行ない該絶縁膜をゲート側面を残して除去する。この構造で該シリコン基板を水素ガスと水蒸気の混合ガス雰囲気900°Cで酸化した。この際、ゲート絶縁膜は側面に形成された絶縁膜25によって覆われているのでゲート端部の楔形の異常酸化は生じない。

その後、該酸化膜26を貫通して砒素イオン注入を行ない、ソース及びドレイン領域27を形成した。(実施例9)

本実施例は本発明のトランジスタを1個のトランジスタと1個コンデンサよりなるダイナミックランダムアクセスメモリに適用した一実施例である。第12図はメモリアレイの電気配線方法について示している。324は実施例1～4において示したトランジスタのいずれかであり、ゲート電極にはタングステンを用いている。また、325はキャバシタである。ゲート電極はいずれかのワード線321に接続されている。また、トランジスタの一方の電極はビットライン322に接続さ

五酸化タンタル23の形成と界面酸化を行なつた後、ゲート電極のタングステン213をスパッタ法で形成した。タングステンの形成はスパッタ法の代わりに沸化タングスタンと水素を用いた化学気層堆積法でも可能である。さらに該タングステン213の表面に二酸化シリコン膜214を堆積した。ゲートバタンを形成し、タングステン213上の二酸化シリコン膜214とタングステン213、五酸化タンタル23を加工した。二酸化シリコンの加工はCF₄ガス、タシグテンはSF₆ガス、五酸化タンタルはCHF₃ガスを各々用いた反応性スパッタエッチングで加工した。

その後、二酸化シリコン膜25を200nm表面に形成した。前記タシグステン上に形成した二酸化シリコンとゲート側面に形成した二酸化シリコンは化学気層堆積法で形成したが、タシグステンの酸化を防止するために、反応容器内に大気中の酸素が混入しないように十分注意をはらう必要がある。あるいは化学気層堆積法の代わりにプラズマを用いた化学気層堆積法でも形成できる。

れ、もう一方の電極はキャバシタ325の一方の電極に接続されている。また、キャバシタの反対の電極はプレート電位232に接続されている。第13図はこのメモリセルの一例の断面構造を模式的に示したものである。330は本発明の実施例1に示す方法により形成されたゲート絶縁膜を示している。326はキャバシタ325の一方の電極であり、高濃度拡散層27に接続している。キャバシタの反対の電極329はプレート電位323に接続されている。また、高濃度拡散層328はビットライン322に接続している。上記の構成よりなるダイナミックランダムアクセスメモリの機能は極めてすぐれていることがわかった。以下これについて示す。

実施例1～8に示した様に、本発明のトランジスタの性能はチャネル長が0.3μm以下の領域において極めて優れた特性が得られることがわかった。更に、このトランジスタを大量に用いた半導体メモリの性能向上が顕著である。図14は本発明のトランジスタを用いて形成したメモリ素子

のワード線遅延時間と従来の多結晶シリコンをワード線として、アクセス時間の遅延を回避するため、アルミ配線をワード線上に配線して、一定間隔で接続を行なっているメモリ素子の一定長のワード線の信号遅延時間を比較したものである。従来の技術に比較して、加工レベルが $0.2 \mu\text{m}$ では約1桁小さい遅延時間が得られることがわかった。これは、多結晶シリコンに比較してタングステンの抵抗は20分の1以下にできるうえに、大きな電流密度を流してもタングステンはアルミよりも長い寿命があるので、アクセス速度を速くできるからである。更に、アルミとワード線の接続の為に、必要とされる2枚のマスクをなくすことができる。従って、本発明のトランジスタを高集積メモリ素子に用いれば、単に、デバイスの信頼性を高めるだけでなく、ワード線遅延の減少によりアクセス速度が速くなり、マスク数の減少により工程数が減少するという効果も合わせて生じる。以下に示した効果はダイナミックランダムアクセスメモリ(DRAM)に適用した場合だけでな

く、スタティックランダムアクセスメモリ(SRAM)とかリードオンリーメモリ(ROM)、不揮発性メモリーなどのメモリセルのトランジスタとして本発明のトランジスタを適用した場合にも得られるものである。

【発明の効果】

本発明の方法により遷移金属酸化膜をゲート絶縁膜として用いた電界効果型トランジスタにおいて、ゲート領域の端部に楔形の酸化膜が生じない構造が得ることができ電気的特性が良好トランジスタを製造することができた。

特に、従来使用されている二酸化シリコンをゲート絶縁膜として用いたMOSFETに比較して優れた長期信頼性を有するMOSFETを製造することができた。

4. 図面の簡単な説明

第1図は第一の実施例の概略図を示す。第2図は実施例1に示したデバイスの長期信頼性を従来の二酸化シリコンをゲート絶縁膜とするデバイスとの比較を示す。第3図および第4図は本

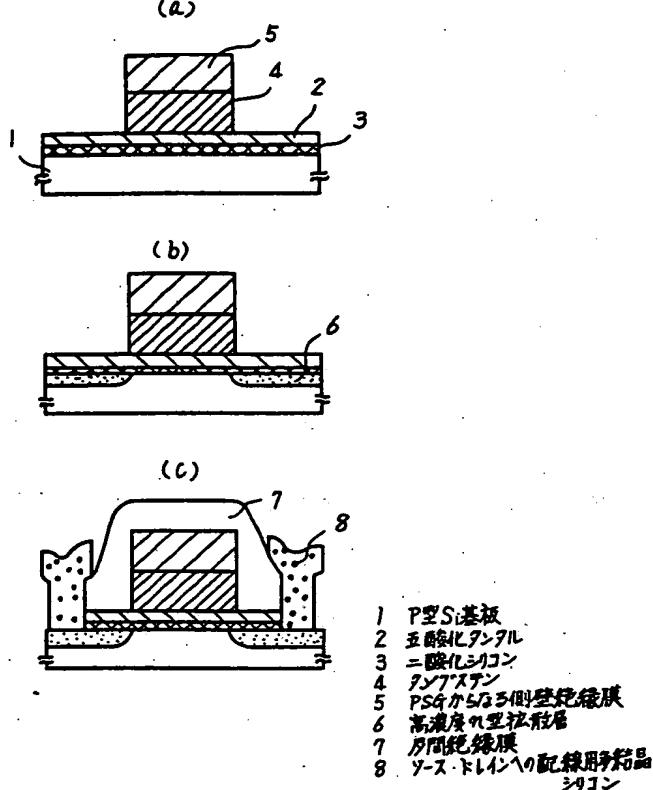
発明を適用しない場合に生ずる問題点を示す。第5図、第6図、第7図はそれぞれ第2、第3、第4の実施例を示す。第8図は第5の実施例の概略図を示す。第9図乃至第14図はそれぞれ他の実施例を示す。

1…P型Si基板、2…五酸化タンタル、3…二酸化シリコン(界面酸化膜)、4…タングステン電極、5…PSG膜、6…側壁保護絶縁膜、7…n型高濃度拡散層、8…金属配線、9…側壁絶縁膜、10、15…第一のPSG膜、11、16…第一のn型高濃度拡散層、12…第一の側壁絶縁膜、13、18…第二のPSG膜、14、19…第二のn型高濃度拡散層、17…第二の側壁絶縁膜、21…Si基板、22…素子分離絶縁膜、23…五酸化タンタル、23'…二酸化シリコン(界面酸化膜)、23''…二酸化シリコン膜、24…ゲート電極、24'…多結晶Siゲート電極、25…側壁保護絶縁膜、26…Si酸化膜、26'…多結晶シリコン酸化膜、27…n⁺拡散層領域、28…シリ

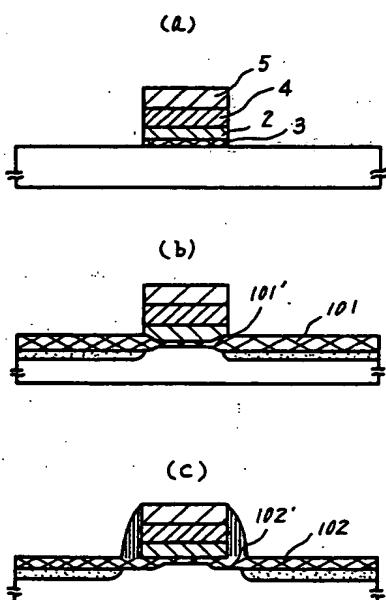
コン基板に成長した楔形酸化膜、28'…多結晶シリコンに成長した楔形酸化膜、29…第一の絶縁膜、30…層間絶縁膜、31…金属配線、210…第二の絶縁膜、211…第一の拡散層領域、第二の拡散層領域、212…タングステン電極、213…二酸化シリコン膜。

代理人 弁理人 小川勝


第1図

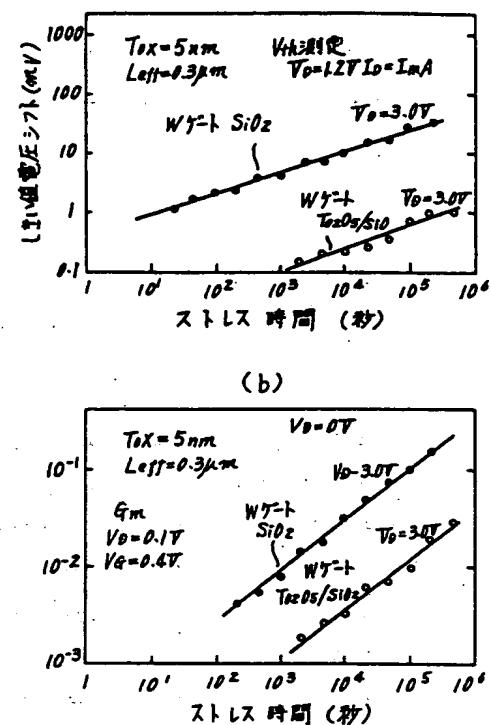


第3図

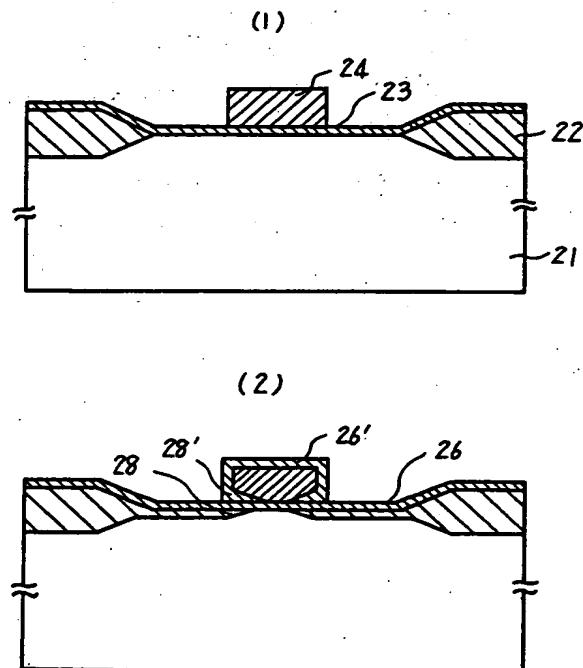


101 WH酸化上に形成されたSiO₂
101' T-ト電極下に生じたバースピード
102 WH酸化上に形成されたSiO₂
102' ゲート電極下に生じたバースピード

第2図

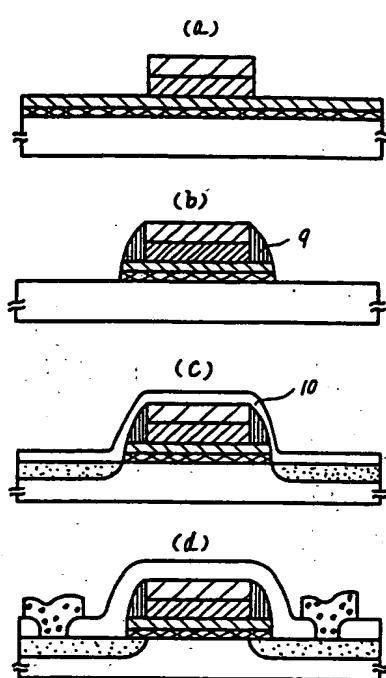


第4図



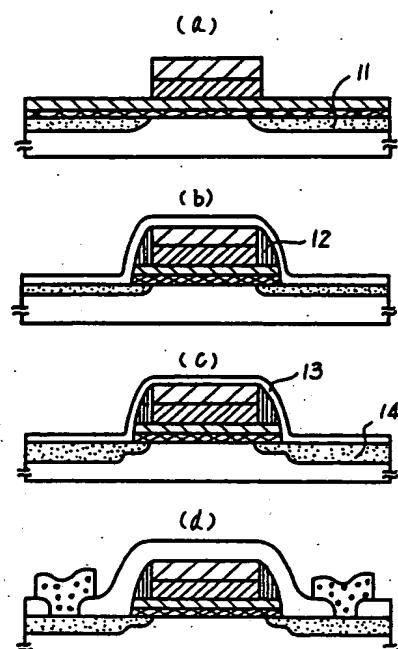
8 (a) 形成成長したSi酸化膜
8' (b) 形成成長した多結晶Si酸化膜

第5図



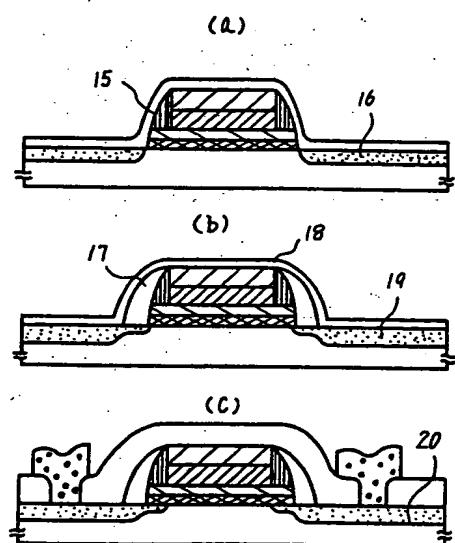
9 PSGからなる側壁絶縁膜
10 第1のPSG膜

第6図



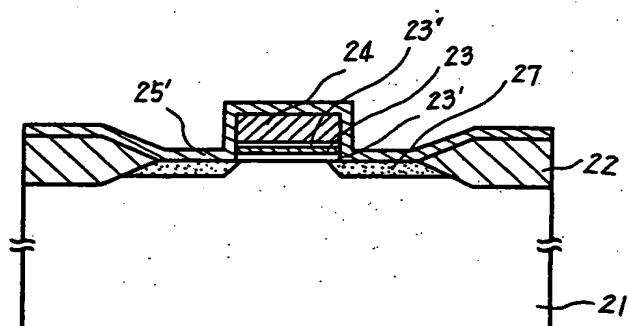
11 第1の九型高濃度塗敷層
12 第1の側壁絶縁膜
13 第2のPSG膜
14 第2の九型高濃度塗敷層

第7図



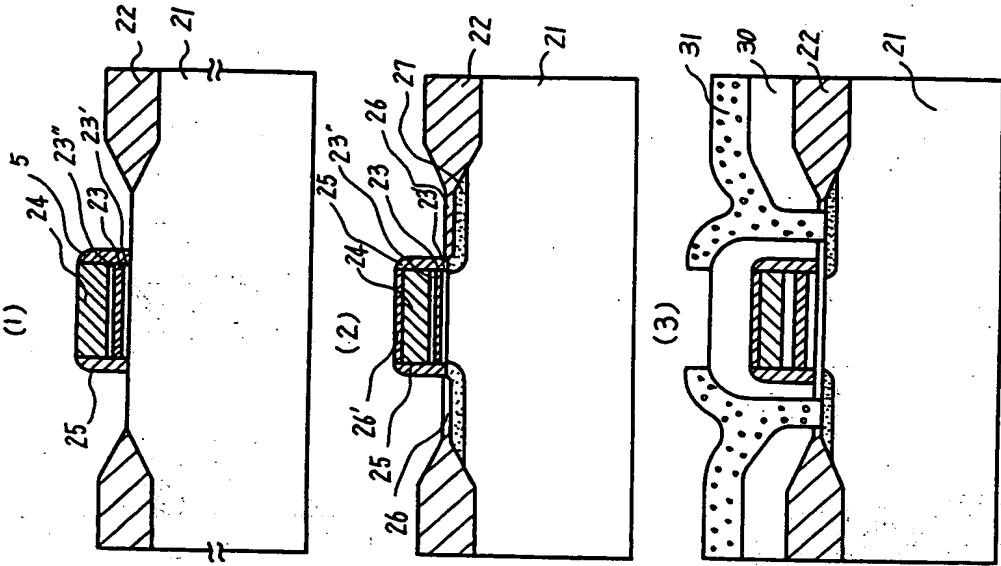
15 第1のPSG膜
16 第1の九型高濃度塗敷層
17 第2の側壁絶縁膜
18 第2のPSG膜
19 第2の九型高濃度塗敷層
20 热处理後の九型高濃度塗敷層

第9図



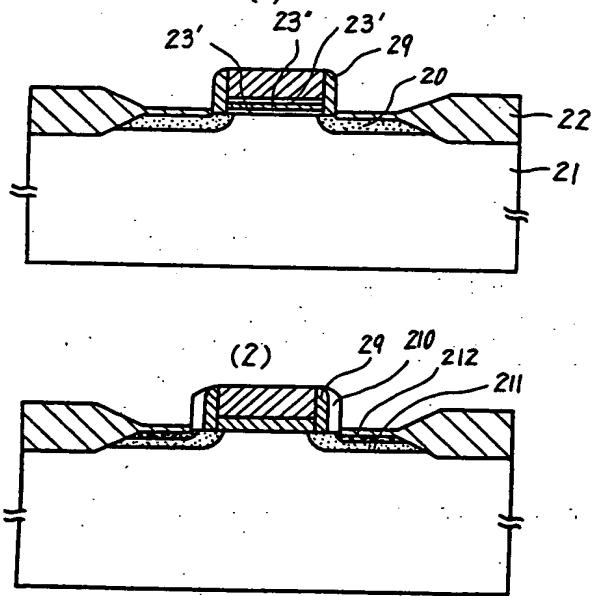
25' ニ酸化シリコン膜

第8図



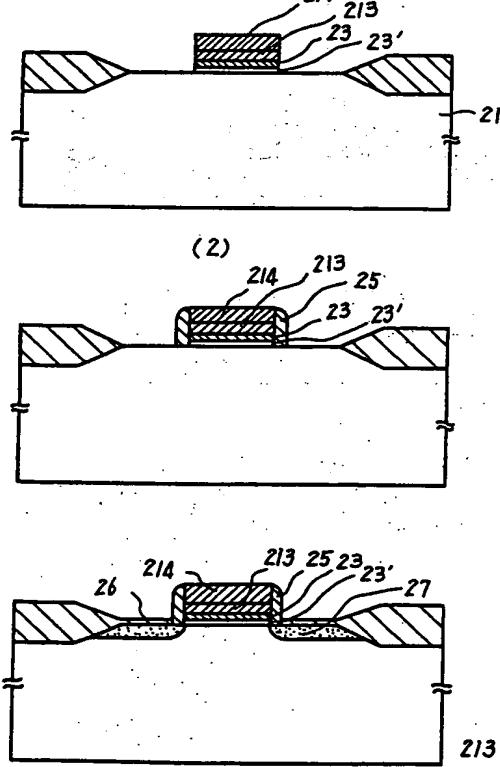
21 Si基板
22 娃子分離絶縁膜
23 $T_{b2}OS$
23' 二酸化シリコン
23'' 二酸化シリコン
24 娃子Si-ド電極
25 娃子保護絶縁膜
26 Si酸化膜
26' 娃子Si-酸化膜
27 娃子保護絶縁膜
30 娃子Si-酸化膜
31 金属配線
31' 金属配線
31'' 金属配線
31''' 金属配線

第10図



29 娃子保護絶縁膜
210 娃子Si-酸化膜
211 娃子保護絶縁膜
212 娃子Si-酸化膜

第11図



213 フラッシュ電極
214 ニ酸化シリコン

